

XD9263/XD9264 シリーズ

JTR05066-003

18V 動作ドライバ Tr 内蔵 500mA 同期整流降圧 DC/DC コンバータ

☆AEC-Q100 Grade2

■概要

XD9263/XD9264 シリーズはドライバ Tr.内蔵同期整流降圧 DC/DC コンバータです。入力電圧範囲 3.0V~18.0V、スイッチング周波数は 2.2MHz、回路方式は同期整流を採用し、出力電流 500mA での高効率で安定した電源を実現しております。また出力コンデンサとしてセラミックコンデンサ等の低 ESR コンデンサが使用可能です。

0.75V の基準電圧源を内蔵し、外付け抵抗により 1.0V~15.0V に出力電圧の設定が可能です。

ソフトスタート時間は内部にて 1.0ms(TYP.)に設定されており、さらに EN/SS 端子に接続する抵抗と容量により内部ソフトスタートよりも長い時間を任意に設定することも可能です。

保護機能として過電流制限、短絡保護、UVLO、サーマルシャットダウンを内蔵しており、短絡時も安全に使用することが可能です。またオプションでタイマーラッチオフ型過電流保護(積分ラッチ)が選択可能です。

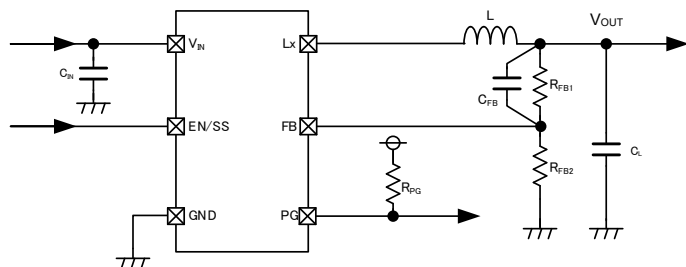
■用途

- カーボディ ECU
- カーインフォテインメント
- カーアクセサリ
 - ・ドライブレコーダー
 - ・車載カメラ
 - ・ETC
- 産業機器

■特長

入力電圧	: 3.0V ~ 18.0V (定格 20V)
出力電圧範囲	: 1.0V ~ 15.0V
FB 電圧	: 0.75V±1.5%精度(Ta=25°C)
発振周波数	: 2.2MHz
最大出力電流	: 500mA
消費電流	: 13.5µA
制御方式	: PWM 制御 (XD9263) PWM/PFM 自動切換 (XD9264) 効率 85%@12V→5V, 300mA
機能	: ソフトスタート 外部設定可能 パワーグッド機能 (USP-6C パッケージのみ)
保護機能	: 過電流制限 短絡保護 <ul style="list-style-type: none"> ・自動復帰 (D タイプ) ・積分ラッチ (C タイプ) UVLO サーマルシャットダウン
出力コンデンサ	: セラミックコンデンサ対応
動作周囲温度	: -40°C ~ 105°C
パッケージ	: USP-6C (PG 有り), SOT-25 (PG 無し)
環境への配慮	: EU RoHS 指令対応, 鉛フリー

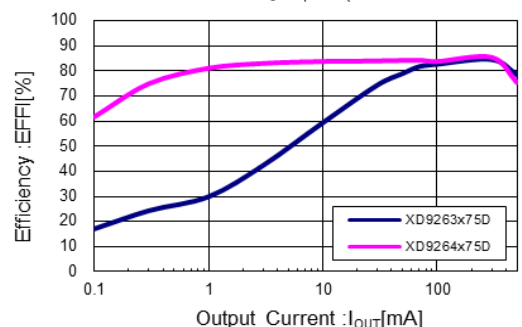
■代表標準回路



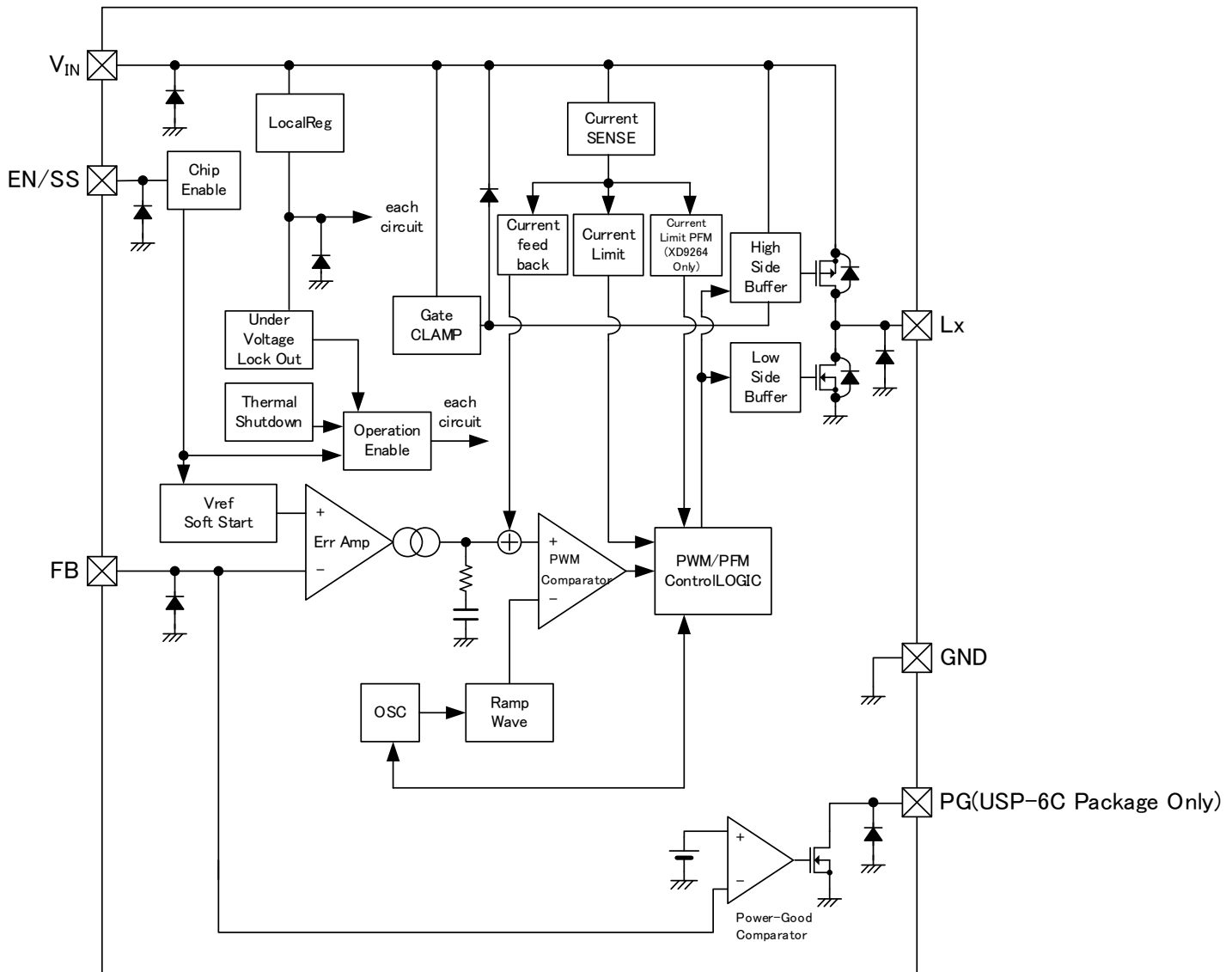
■代表特性例

XD9263x75D/XD9264x75D
(V_{IN}=12V, V_{OUT}=5V)

L=2.2µH(CLF6046NIT-2R2N-D), C_N=2.2µF(CGA4J3X7R1E225K125AB),
C_L=10µF×2 (CGA5L1X7R1C106K160AC)



■ブロック図



* 上図のダイオードは、静電保護用のダイオードと寄生ダイオードです。

■製品分類

●品番ルール

XD9263①②③④⑤⑥-⑦^(*) PWM 制御

XD9264①②③④⑤⑥-⑦^(*) PWM/PFM 自動切替制御

DESIGNATOR	ITEM	SYMBOL	DESCRIPTION
①	Type	C	Refer to Selection Guide
		D	
②③	FB Voltage	75	Output voltage can be adjusted in 1.0V to 15.0V
④	Oscillation Frequency	D	2.2MHz
⑤⑥-⑦	Packages (Order Unit)	MR-Q ^(*)	SOT-25 (3,000pcs/Reel) ⁽²⁾
		ER-Q ^(*)	USP-6C (3,000pcs/Reel) ⁽²⁾

^(*)“-Q”は、AEC-Q100 準拠製品です。

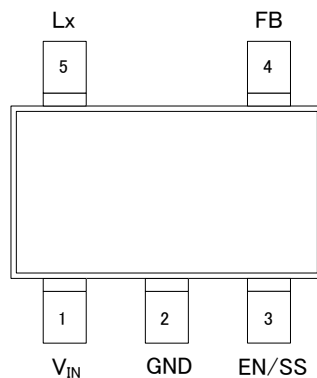
⁽²⁾ ハロゲンフリーかつアンチモンフリーかつ EU RoHS 指令対応製品です。

●セレクションガイド (Selection Guide)

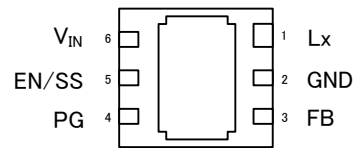
FUNCTION	C TYPE		D TYPE	
	SOT-25	USP-6C	SOT-25	USP-6C
Chip Enable	Yes	Yes	Yes	Yes
UVLO	Yes	Yes	Yes	Yes
Thermal Shutdown	Yes	Yes	Yes	Yes
Soft Start	Yes	Yes	Yes	Yes
Power-Good	-	Yes	-	Yes
Current Limiter (Automatic Recovery)	-	-	Yes	Yes
Current Limiter (Latch Protection ⁽²⁾)	Yes	Yes	-	-

⁽²⁾ 過電流保護ラッチは、積分ラッチタイプとなります。

■端子配列



SOT-25
(TOP VIEW)



USP-6C
(BOTTOM VIEW)

* USP-6C の放熱板は実装強度強化および放熱の為、はんだ付けを行ってください。
参考パターンレイアウトと参考メタルマスクデザインでののはんだ付けをご参照ください。
尚、マウントパターンは GND(2 番 Pin)へ接続してください。

■端子説明

PIN NUMBER		PIN NAME	FUNCTION
SOT-25	USP-6C		
1	6	V _{IN}	Power Input
3	5	EN/SS	Enable Soft-Start
-	4	PG	Power-Good Output
4	3	FB	Output Voltage Sense
2	2	GND	Ground
5	1	Lx	Switching Output

■機能表

PIN NAME	SIGNAL	STATUS
EN/SS	L	Stand-by
	H	Active
	OPEN	Undefined State ^(*)

^(*) EN/SS 端子は OPEN 状態を避け、任意の固定電位としてください。

PIN NAME	CONDITION	SIGNAL	
PG	EN/SS = H	$V_{FB} > V_{PGDET}$	H (High impedance)
		$V_{FB} \leq V_{PGDET}$	L (Low impedance)
		Thermal Shutdown	L (Low impedance)
	EN/SS = L	UVLO ($V_{IN} < V_{UVLO1}$)	Undefined State
		Stand-by	L (Low impedance)

■絶対最大定格

PARAMETER		SYMBOL	RATINGS	UNITS
V _{IN} Pin Voltage		V _{IN}	-0.3 ~ 20	V
EN/SS Pin Voltage		V _{EN/SS}	-0.3 ~ 20	V
FB Pin Voltage		V _{FB}	-0.3 ~ 6.2	V
PG Pin Voltage ^{(*)1}		V _{PG}	-0.3 ~ 6.2	V
PG Pin Current ^{(*)1}		I _{PG}	8	mA
Lx Pin Voltage		V _{Lx}	-0.3 ~ V _{IN} + 0.3 or 20 ^{(*)2}	V
Lx Pin Current		I _{Lx}	1800	mA
Power Dissipation (Ta=25°C)	SOT-25	Pd	760 (JESD51-7 基板) ^{(*)3}	mW
	USP-6C		1250 (JESD51-7 基板) ^{(*)3}	
Operating Ambient Temperature		T _{opr}	-40 ~ 105	°C
Storage Temperature		T _{stg}	-55 ~ 125	°C

各電圧定格は GND を基準とする。

^{(*)1} USP-6C パッケージのみ。

^{(*)2} 最大値は V_{IN}+0.3V と 20V いずれか低い方になります。

^{(*)3} 基板実装時の許容損失の参考データとなります。実装条件はパッケージインフォメーションをご参照ください。

■電気的特性

Ta=25°C

PARAMETER	SYMBOL	CONDITIONS	MIN.	TYP.	MAX.	UNIT	CIRCUIT	
FB Voltage	V _{FB}	V _{FB} =0.731V → 0.769V	0.739	0.750	0.761	V	②	
		V _{FB} Voltage when Lx pin voltage changes from "H" level to "L" level	-40°C ≤ Ta ≤ 105°C	0.731	0.750			0.769
Output Voltage Setting Range ^(*)	V _{OUTSET}	-	-40°C ≤ Ta ≤ 105°C	1.0	-	15.0	V	-
Operating Voltage Range	V _{IN}	-	-40°C ≤ Ta ≤ 105°C	3.0	-	18.0	V	-
UVLO Detect Voltage	V _{UVLO1}	V _{IN} :2.87V→2.53V, V _{FB} =0.675V,	2.60	2.70	2.80	V	②	
		V _{IN} Voltage when Lx pin voltage changes from "H" level to "L" level	-40°C ≤ Ta ≤ 105°C	2.53	-			2.87
UVLO Release Voltage	V _{UVLO2}	V _{IN} :2.63V→2.97V, V _{FB} =0.675V	2.70	2.80	2.90	V	②	
		V _{IN} Voltage when Lx pin voltage changes from "L" level to "H" level	-40°C ≤ Ta ≤ 105°C	2.63	-			2.97
Quiescent Current	I _q	V _{FB} =0.825V	XD9263	-	145	238	μA	④
			-40°C ≤ Ta ≤ 105°C	-	-	257		
Stand-by Current	I _{STB}	V _{EN/SS} =0V	XD9264	-	13.5	18.5	μA	⑤
			-40°C ≤ Ta ≤ 105°C	-	-	20.0		
Oscillation Frequency	f _{OSC}	Connected to external components I _{OUT} =100mA	2013	2200	2387	kHz	①	
			-40°C ≤ Ta ≤ 105°C	1813	-			2531
Minimum Duty Cycle	D _{MIN}	V _{FB} =0.825V	-40°C ≤ Ta ≤ 105°C	-	-	0	%	②
Maximum Duty Cycle	D _{MAX}	V _{FB} =0.675V	-40°C ≤ Ta ≤ 105°C	100	-	-	%	②
Lx SW "H" On Resistance	R _{LxH}	V _{FB} =0.675V, I _{Lx} =200mA	USP-6C	-	0.95	1.10	Ω	②
			SOT-25	-	0.99	1.14		
Lx SW "L" On Resistance	R _{LxL}	V _{FB} =0.825V, I _{Lx} =200mA	USP-6C	-	0.69 ^(*)	-	Ω	②
			SOT-25	-	0.73 ^(*)	-		
PFM Switch Current	I _{PFM}	XD9264 only Connected to external components, I _{OUT} =1mA	-	370	-	mA	①	
Highside Current Limit ^(*)	I _{LIMH}	V _{FB} =0.675V	920	1100	-	mA	②	
Latch Time	t _{LAT}	Type C only Connected to external components, V _{FB} =0V	0.5	1.0	1.7	ms	⑥	
Internal Soft-Start Time	t _{SS1}	V _{EN/SS} =0V→12V, V _{FB} =0.675V Time until Lx pin oscillates	0.5	1.0	1.7	ms	②	
External Soft-Start Time	t _{SS2}	V _{EN/SS} =0V→12V, V _{FB} =0.675V R _{SS} =430kΩ, C _{SS} =0.47μF Time until Lx pin oscillates	17	26	35	ms	③	

特に指定がない場合、V_{IN}=12V, V_{EN/SS}=12V

-40°C ≤ Ta ≤ 105°Cの規格値は設計値となります。

(*) V_{OUT}/V_{IN} ≥ 0.17 を満たす範囲で設定してください。

(*) 設計参考値。このパラメータは参考用のみで提供されております。

(*) 電流制限値はコイルに流れる電流ピークの検出レベルを示します。

■電気的特性

Ta=25°C

PARAMETER	SYMBOL	CONDITIONS	MIN.	TYP.	MAX.	UNIT	CIRCUIT	
PG Detect Voltage ⁽⁴⁾	V _{PGDET}	V _{FB} =0.720V→0.630V, R _{PG} :100kΩ pull-up to 5V V _{FB} Voltage when PG pin voltage changes from "H" level to "L" level		0.638	0.675	0.712	V	②
		-40°C ≤ Ta ≤ 105°C	0.630	-	0.720			
PG Output Voltage ⁽⁴⁾	V _{PG}	V _{FB} =0.6V, I _{PG} =1mA	-40°C ≤ Ta ≤ 105°C	-	-	0.3	V	②
Efficiency	EFFI ⁽⁵⁾	Connected to external components V _{OUTSET} =5V, I _{OUT} =300mA		-	85 ⁽²⁾	-	%	①
FB "H" Current	I _{FBH}	V _{IN} =V _{EN/SS} =18V, V _{FB} =3.0V	-40°C ≤ Ta ≤ 105°C	-0.1	0.0	0.1	μA	④
FB "L" Current	I _{FBL}	V _{IN} =V _{EN/SS} =18V, V _{FB} =0V	-40°C ≤ Ta ≤ 105°C	-0.1	0.0	0.1	μA	④
EN/SS "H" Current	I _{EN/SSH}	V _{IN} =V _{EN/SS} =18V, V _{FB} =0.825V	-40°C ≤ Ta ≤ 105°C	-	0.1	0.3	μA	④
EN/SS "L" Current	I _{EN/SSL}	V _{IN} =18V, V _{EN/SS} =0V, V _{FB} =0.825V	-40°C ≤ Ta ≤ 105°C	-0.1	0.0	0.1	μA	④
EN/SS "H" Voltage	V _{EN/SSH}	V _{EN/SS} =0.3V→2.5V, V _{FB} =0.71V V _{EN/SS} Voltage when Lx pin voltage changes from "L" level to "H" level	-40°C ≤ Ta ≤ 105°C	2.5	-	18.0	V	②
EN/SS "L" Voltage	V _{EN/SSL}	V _{EN/SS} =2.5V→0.3V, V _{FB} =0.71V V _{EN/SS} Voltage when Lx pin voltage changes from "H" level to "L" level	-40°C ≤ Ta ≤ 105°C	GND	-	0.3	V	②
Thermal Shutdown Temperature	T _{TSD}	Junction Temperature		-	150	-	°C	-
Hysteresis Width	T _{HYS}	Junction Temperature		-	25	-	°C	-

特に指定がない場合、V_{IN}=12V、V_{EN/SS}=12V

-40°C ≤ Ta ≤ 105°Cの規格値は設計値となります。

(¹) V_{OUT}/V_{IN} ≥ 0.17 を満たす範囲で設定してください。

(²) 設計参考値。このパラメータは参考用のみで提供されております。

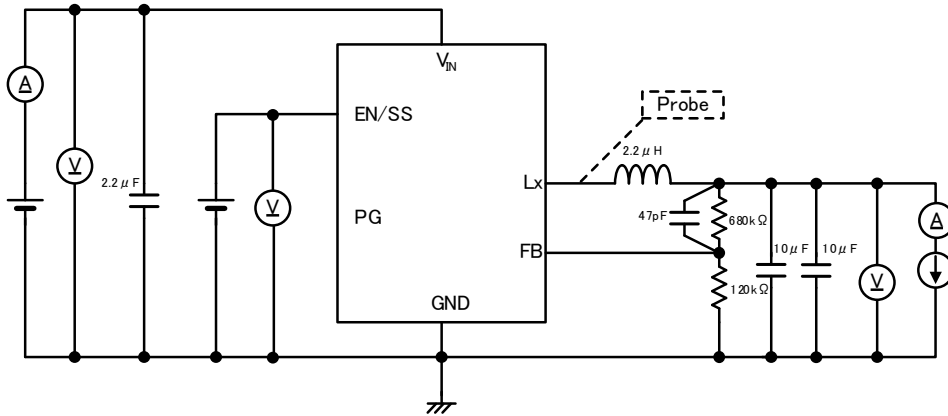
(³) 電流制限値はコイルに流れる電流ピークの検出レベルを示します。

(⁴) USP-6C パッケージのみ。

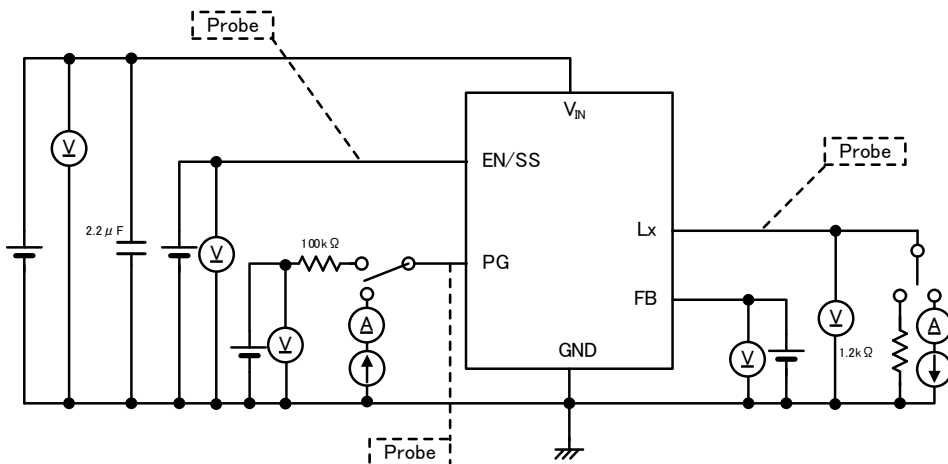
(⁵) EFFI=[(出力電圧 × 出力電流) ÷ (入力電圧 × 入力電流)] × 100

■測定回路図

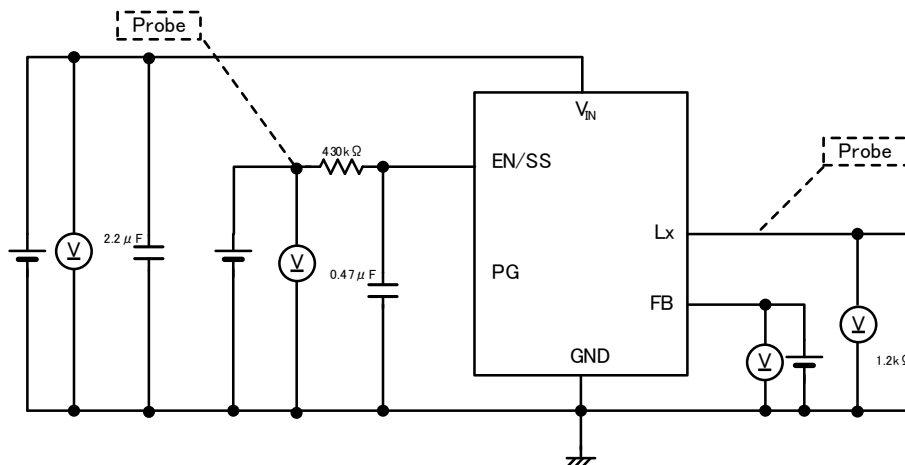
測定回路図①



測定回路図②



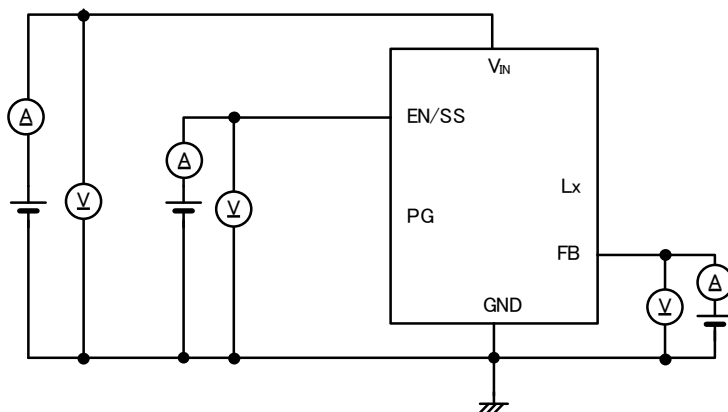
測定回路図③



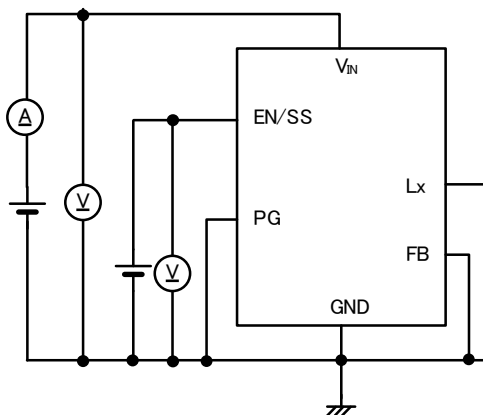
* PG 端子は USP-6C パッケージのみ。

■測定回路図

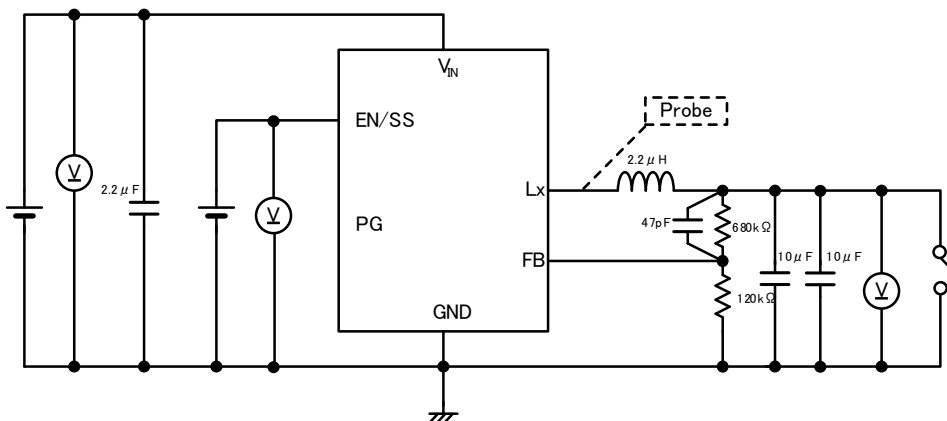
測定回路図④



測定回路図⑤

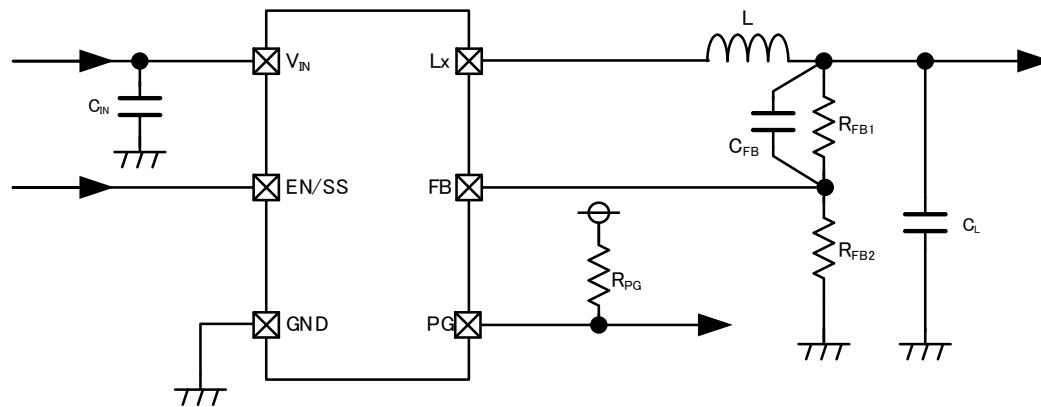


測定回路図⑥



* PG 端子は USP-6C パッケージのみ。

■標準回路例 / 部品選定方法



【Typical Examples】

	MANUFACTURER	PRODUCT NUMBER	VALUE
L	TDK	CLF6045NIT-2R2N-D	2.2 μ H
C _{IN} ^(*)	TDK	CGA4J3X7R1E225K125AB	2.2 μ F/25V
C _L ^(*)	Murata	GRT21BR71A106KE13	10 μ F/10V 2parallel
	TDK	CGA5L1X7R1C106K160AC	10 μ F/16V 2parallel
	Murata	GRT32DC81E106KE01	10 μ F/25V 2parallel

セラミックコンデンサの DC バイアス特性、定格電圧などを考慮し部品選定をお願いします。

^(*) C_{IN} は推奨部品と同等以上の実効容量値を持つコンデンサを使用してください。

^(*) C_L は推奨部品と同等以上の実効容量値を持つコンデンサを使用してください。

実効容量値が低いコンデンサを使用すると出力電圧が不安定になる場合があります。

ただし電解コンデンサ等の大容量コンデンサを並列接続すると起動時の突入電流増加や、出力が不安定になる場合があります。

■標準回路例 / 部品選定方法

<出力電圧の設定>

外部に分割抵抗を付けることで出力電圧が設定できます。出力電圧は、 R_{FB1} と R_{FB2} の値によって以下の式で決まります。

$$V_{OUT} = V_{FB} \times (R_{FB1} + R_{FB2}) / R_{FB2}$$

ただし、 $R_{FB1} + R_{FB2} \leq 1M\Omega$

< C_{FB} の設定>

位相補償用スピードアップコンデンサ C_{FB} の値は、以下の式にて調整してください。

$$C_{FB} = \frac{1}{2\pi \times f_{zfb} \times R_{FB1}}$$

* $f_{zfb} = 5kHz$ 程度となるように調整して頂くことで最適となります。

【計算例】

出力電圧 5V 設定の場合

$R_{FB1} = 680k\Omega$, $R_{FB2} = 120k\Omega$ の時、 $V_{OUTSET} = 0.75V \times (680k\Omega + 120k\Omega) / 120k\Omega = 5.0V$ となる。

$f_{zfb} = 5kHz$ 狙いであるため、

$C_{FB} = 1 / (2 \times \pi \times 5kHz \times 680k\Omega) = 46.8pF$ となる。

* 出力電圧の設定範囲は、1.0V ~ 15.0V となります。

また、 $V_{OUT}/V_{IN} \geq 0.17$ を満たすように出力電圧を設定してください。

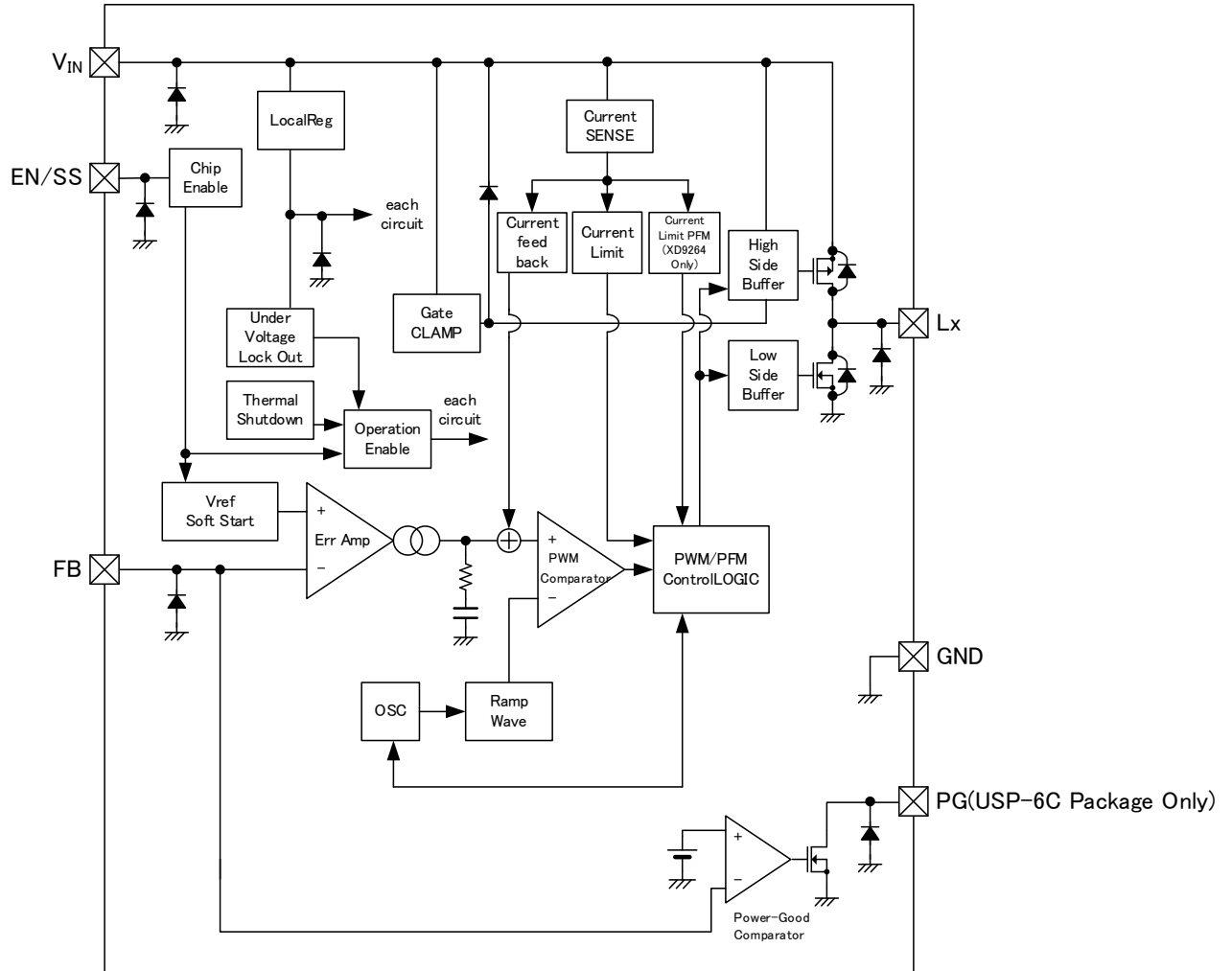
【代表例】

V_{OUTSET} [V]	R_{FB1} [k Ω]	R_{FB2} [k Ω]	C_{FB} [pF]
1.2	91	150	360
3.3	510	150	62
5.0	680	120	47
12	360	24	91

■動作説明

XD9263/XD9264 シリーズはソフトスタート付き基準電圧源(Vref)回路、ランプ波回路、エラーアンプ、PWM コンパレータ、High side ドライバ FET、Low side ドライバ FET、High side バッファ回路、Low side バッファ回路、電流センス回路、カレントフィードバック回路、電流制限回路、UVLO 回路、内部電源(Local Reg)回路、ゲートクランプ回路等で構成されています。

制御方式は低 ESR のセラミックコンデンサ対応の電流モード制御方式です。



* 上図のダイオードは、静電保護用のダイオードと寄生ダイオードです。

■動作説明

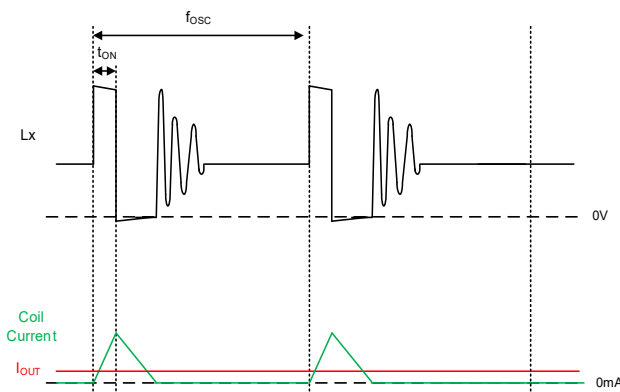
<通常動作>

基準電圧 V_{ref} と FB 端子電圧をエラーアンプで比較し、エラーアンプの出力に位相補償を加えた制御信号を PWM コンパレータに入力します。PWM コンパレータは、上記制御信号とランプ波を比較することで、PWM 制御時のデューティ幅を制御します。これらの制御を連続的に行うことで出力電圧を安定させています。

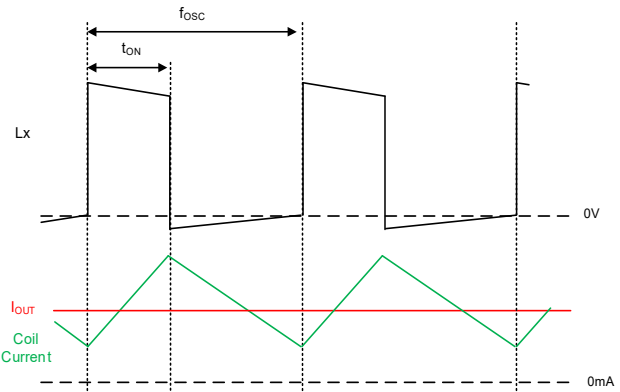
また電流センス回路により、スイッチング毎のドライバ FET の電流がモニタリングされており、エラーアンプの出力信号に多重帰還信号として変調をかけています(カレントフィードバック回路)。これにより、セラミックコンデンサなどの低 ESR コンデンサを使用しても安定した帰還制御が得られ、出力電圧の安定化が図られています。

XD9263 シリーズ

XD9263 シリーズ(PWM 制御)は、出力電流によらず一定のスイッチング周波数 f_{osc} でスイッチングを行います。軽負荷時はオン時間が短く非連続モードで動作し、出力電流が大きくなるにつれオン時間が大きくなり連続モードで動作を行います。



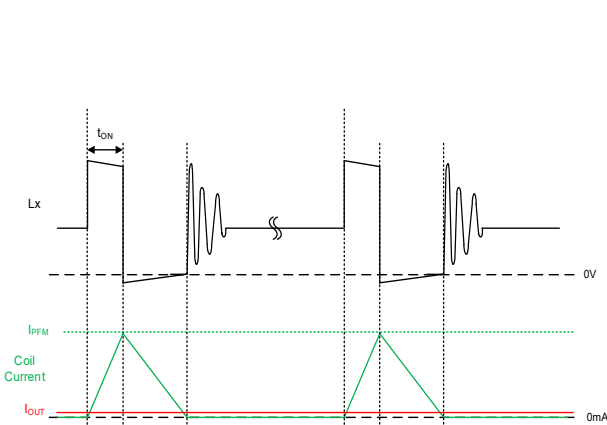
XD9263 シリーズ: 軽負荷動作例



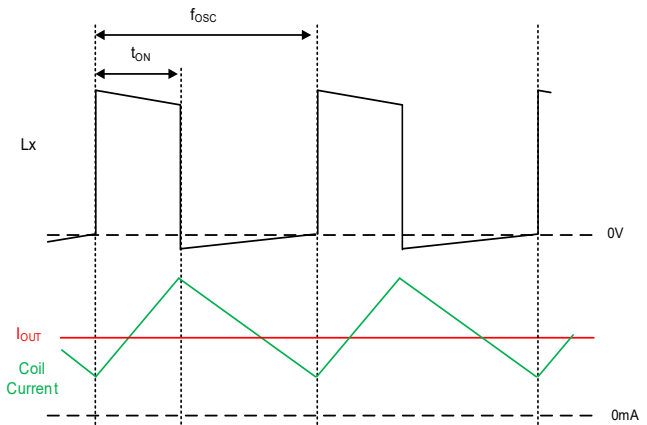
XD9263 シリーズ: 重負荷動作例

XD9264 シリーズ

XD9264 シリーズ(PWM/PFM 自動切替制御)は、コイル電流が PFM 電流(I_{PFM})に達するまで High side ドライバ FET をオンすることで、軽負荷時のスイッチング周波数を低下させます。この動作により軽負荷での損失を低減し軽負荷から重負荷まで高効率を達成することが可能です。出力電流が大きくなると、出力電流に比例しスイッチング周波数を増加させ、スイッチング周波数が f_{osc} まで増加すると PFM 制御から PWM 制御に切替りスイッチング周波数が固定になります。



XD9264 シリーズ: 軽負荷動作例



XD9264 シリーズ: 重負荷動作例

<100% Duty モード>

入出力電位差が小さい条件や過渡応答時は High side ドライバ FET のオンを継続する 100% Duty サイクルモードとなる場合があります。

100% Duty モードが動作することで、クランキング等により入力電圧が低下した場合などの入出力電位差が小さい条件でも出力電圧を維持することが可能です。

■動作説明

<CE 機能>

EN/SS 端子に"H"電圧($V_{EN/SSH}$)を入力すると、ソフトスタート機能により出力電圧を立ち上げた後、通常動作となります。

EN/SS 端子に"L"電圧($V_{EN/SSL}$)を入力するとスタンバイ状態となり、消費電流をスタンバイ電流 I_{STB} (TYP. 1.65 μ A)に抑え、High side ドライバ FET および Low side ドライバ FET をオフします。

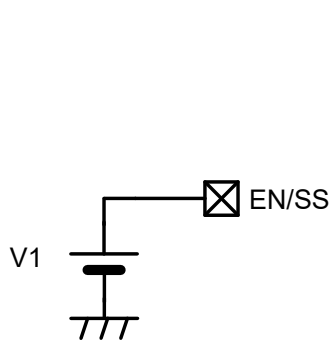
<ソフトスタート機能>

出力電圧を緩やかに立上げ、突入電流を抑制するための機能になります。

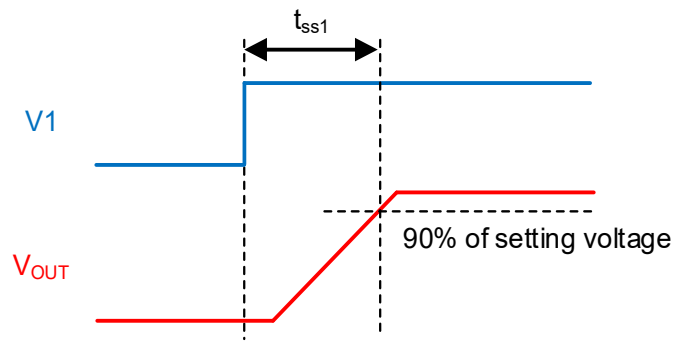
ソフトスタート時間は、 $V_{EN/SSH}$ から出力電圧が出力電圧設定値の 90%に到達するまでの時間となり、さらに出力電圧が増加するとソフトスタート機能が解除され通常動作に移行します。

内部ソフトスタート

内部ソフトスタート時間(t_{SS1})は EN/SS 端子に"H"電圧($V_{EN/SSH}$)を入力後、エラーアンプに接続された基準電圧がソフトスタート期間中に線形的に増加するように構成されています。これにより基準電圧の上昇に比例し出力電圧が上昇します。この動作により、突入電流の抑制と出力電圧の滑らかな上昇が可能となります。



< 内部ソフトスタート時 EN/SS 端子回路 >



< 内部ソフトスタート動作概要 >

外部設定ソフトスタート

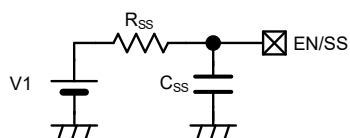
外部設定ソフトスタート時間(t_{SS2})は外付け部品 R_{SS} 、 C_{SS} により、起動時の EN/SS 端子電圧の傾きを調整することにより、IC 内部の基準電圧の上昇速度を調整できます。これによりソフトスタート時間の外部調整が可能です。

外部設定ソフトスタート時間(t_{SS2})は、 $V1$ 、 R_{SS} 、 C_{SS} により、以下の式で算出できます。
 t_{SS2} が t_{SS1} より短い場合は、内部ソフトスタート時間にて出力電圧が立ち上ります。

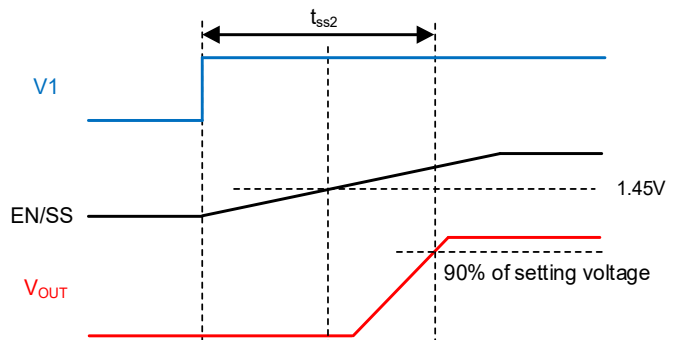
$$t_{SS2} = C_{SS} \times R_{SS} \times \ln \left(\frac{V1}{V1 - 1.45V} \right)$$

【計算例】

$C_{SS} = 0.47\mu\text{F}$ 、 $R_{SS} = 430\text{k}\Omega$ 、 $V1 = 12\text{V}$ 時のソフトスタート時間は、
 $t_{SS2} = 0.47\mu\text{F} \times 430\text{k}\Omega \times (\ln(12\text{V}/(12\text{V}-1.45\text{V}))) = 26\text{ms}$ 程度になります。



< 外部ソフトスタート時 EN/SS 端子回路 >



< 外部ソフトスタート動作概要 >

■動作説明

<パワーグッド>

パワーグッド機能によって出力の状態、および IC の状態を監視することが可能です。

PG 端子は Nch オープンドレイン出力のため、PG 端子にプルアップ抵抗(100kΩ 程度)を接続してご使用ください。

プルアップ電圧は 5.5V 以下でお願い致します。

パワーグッド機能を使用しない場合、PG 端子は GND に接続またはオープンにしてご使用ください。

CONDITION		SIGNAL
EN/SS = H	$V_{FB} > V_{PGDET}$	H (High impedance)
	$V_{FB} \leq V_{PGDET}$	L (Low impedance)
	Thermal Shutdown	L (Low impedance)
	UVLO ($V_{IN} < V_{UVLO1}$)	Undefined State
EN/SS = L	Stand-by	L (Low impedance)

<UVLO 機能>

IC の内部電源を監視し、内部電源の出力が低電圧時に動作不安定による Lx 端子の誤パルス出力を防止するための機能です。V_{IN} 端子電圧の低下に伴い、IC の内部電源の電圧は低下するため、V_{IN} 端子電圧が低下すると UVLO 機能が動作します。

V_{IN} 端子電圧が V_{UVLO1}(TYP. 2.7V) 以下になると UVLO 機能が動作し、内部回路の動作不安定による誤パルス出力防止のため、High side ドライバ FET および Low side ドライバ FET を強制的にオフさせます。V_{IN} 端子電圧が V_{UVLO2}(TYP. 2.8V) 以上になると、UVLO 機能が解除され、ソフトスタート機能が働き出力電圧が立上ります。

UVLO 機能による停止は、シャットダウンではなくパルス出力を停止している状態の為、内部回路は動作しています。

<サーマルシャットダウン機能>

過熱保護としてサーマルシャットダウン(TSD) 機能を内蔵しています。ジャンクション温度がサーマルシャットダウン検出温度 T_{TSD} に達すると High side ドライバ FET および Low side ドライバ FET を強制的にオフさせます。

ドライバ FET がオフ状態を継続するとジャンクション温度が低下し、ジャンクション温度がサーマルシャットダウン解除温度まで低下すると、サーマルシャットダウン機能が解除されソフトスタート機能が働き出力電圧が立上ります。

■動作説明

<電流制限・短絡保護機能>

XD9263/XD9264 シリーズの電流制限回路は、Lx に接続された High side ドライバ Tr. 及び、Low side ドライバ Tr. に流れる電流を監視しており、過電流を検出すると電流制限機能が動作します。

①High side 電流制限

High side ドライバ Tr. に流れる電流を検出し等価的にコイル電流を監視しております。High side 電流制限機能は、コイル電流の Peak 値が High side 電流制限値 I_{LIMH} に達すると強制的に High side ドライバ Tr. をオフします。

High side 電流制限値 $I_{LIMH}=1.1A$ (TYP.)

②Low side 電流制限

Low side ドライバ Tr. に流れる電流を検出し等価的にコイル電流を監視しております。Low side 電流制限機能は、コイル電流のボトム値が Low side 電流制限値 I_{LIML} 以下になるまで High side ドライバ Tr. のオンを禁止し、発振周波数 f_{osc} を低下させます。

Low side 電流制限値 $I_{LIML}=0.9A$ (TYP.)

出力電流が増加し電流制限値に達した場合、電流フォールドバック(フの字)回路が動作し、出力電圧および FB 電圧が低下します。FB 電圧の低下に伴い I_{LIMH} 、 I_{LIML} が低下することで出力電流を絞る動作を行います。

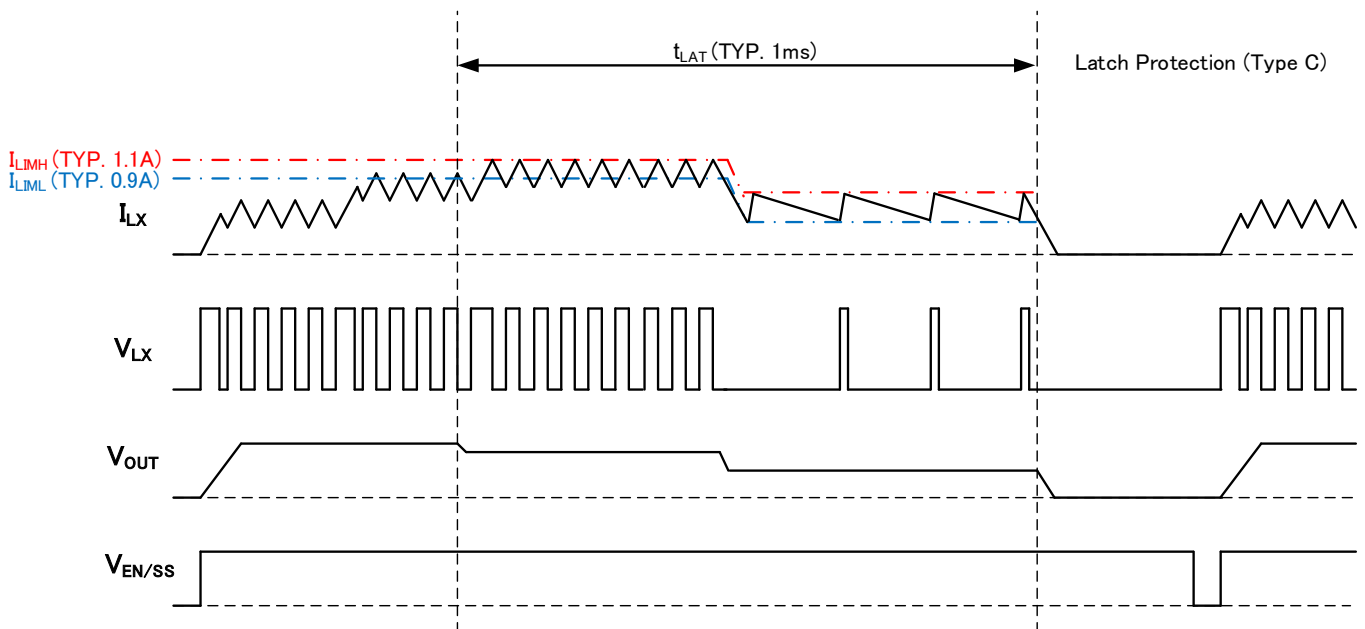
過電流状態が解除されると、フォールドバック回路の動作により出力電圧の上昇とともに、 I_{LIMH} 、 I_{LIML} が増加し出力が出力電圧設定値に復帰します。

③過電流ラッチ(Type C)

Type C は、① もしくは ② の状態が t_{LAT} (TYP. 1.0ms) 続くと High side ドライバ Tr. 及び、Low side ドライバ Tr. をオフさせ、Lx 端子 High impedance の状態でラッチ停止します。ラッチ停止した状態とは Lx 端子のパルス出力を停止している状態で IC 内部回路は動作しております。一旦、ラッチ停止すると再起動する為に、EN/SS 端子に L レベルを入力した後に H レベルを入力するか、VIN 端子電圧の再投入(一度 UVLO 検出電圧以下にする)を行うことでソフトスタートにて動作を再開します。

尚、過電流ラッチ機能は周囲のノイズによる影響によって電流リミット検知状態から解除されることがあり、基板の状態によってはラッチ時間が長くなる場合やラッチ動作に至らない場合がありますので、入力容量はできる限り IC の近くに配置するようにします。

Type D は、過電流状態が解除されるまで ① もしくは、② の動作をする自動復帰タイプになります。



■使用上の注意

- 1) 一時的、過渡的な電圧降下および電圧上昇等の現象について。
絶対最大定格を超える場合には、劣化または破壊する可能性があります。

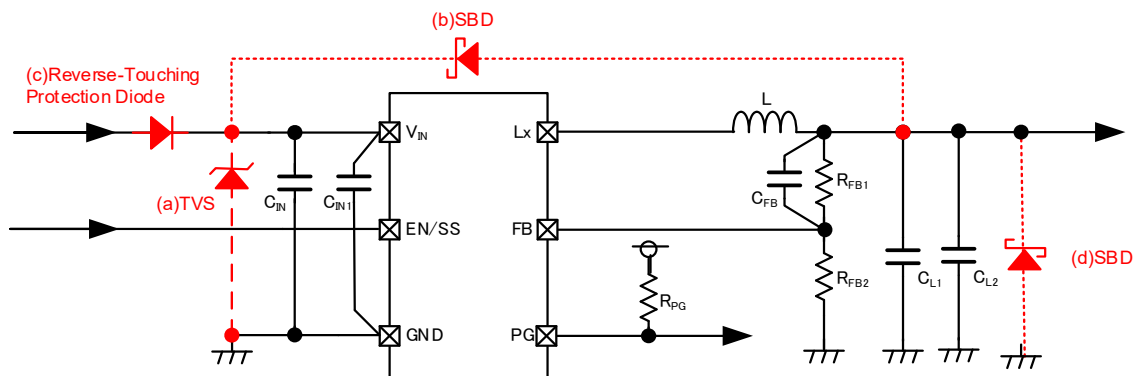
機械式スイッチによるチャタリングや外部からのサージ電圧および逆接などにより、本 IC に絶対最大電圧を超える電圧が印加される場合は保護回路による対策を行ってください。対策例を(a)~(d)に示します。

(a) 電源ラインの過渡的な変動により定格を越える電圧が V_{IN} 端子に入った際、IC の破壊に繋がる恐れがあります。 V_{IN} -GND 間に TVS を追加し対策を行ってください。

(b) 入力電圧が出力電圧より低下した条件では、IC 内部の寄生ダイオードに過電流が流れ、 Lx 端子の絶対最大定格を超える可能性があります。 V_{IN} -GND 間が低インピーダンスで入力側に電流が引き込まれる場合、 V_{OUT} - V_{IN} 間に SBD を追加するなどの対策を行ってください。

(c) 逆接時やチャタリングにより入力電圧にマイナス電圧が印加された場合に、IC の寄生ダイオードに過電流が流れ IC が破壊する可能性があります。逆接保護ダイオード(Reverse-Touching Protection Diode)を追加するなどして対策を行ってください。

(d) V_{OUT} が急峻に短絡された時、短絡に関わるケーブルの寄生インダクタ成分と出力コンデンサ(C_L)、 V_{OUT} ラインの基板引き回し等のインピーダンスによる共振が発生し、耐圧を超える負電圧が発生する可能性があります。 V_{OUT} -GND 間に SBD を追加するなどの対策を行ってください。



■使用上の注意

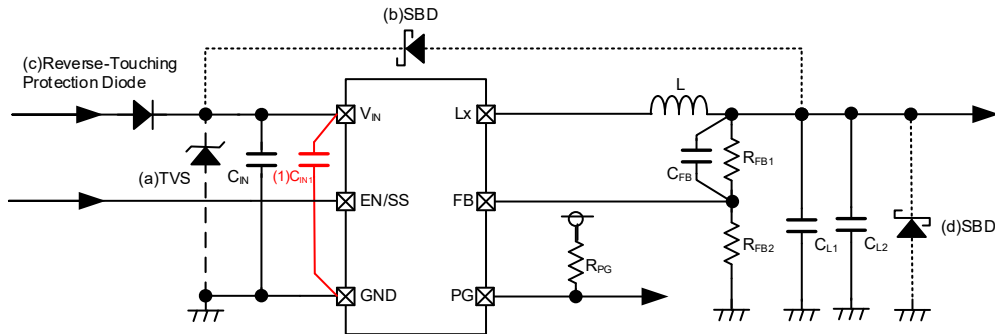
- 2) 外付け部品および本 IC の絶対最大定格を超えないようにしてください。
- 3) DC/DC コンバータのようなスイッチングレギュレータはスパイクノイズや V_{OUT} リップル電圧が生じます。これらは周辺部品(コイルのインダクタンス値、コンデンサ、周辺部品の基板レイアウト)によって大きく影響を受けます。設計される際は各部品の仕様及び標準回路例を参考の上、十分に実機にてご確認ください。
特にコンデンサの特性には注意し、X7R または X5R(EIA 規格)などの温度特性の良好なセラミックコンデンサを使用してください。また、セラミックコンデンサの外形サイズによっては、バイアス依存による容量抜けが顕著に起こる場合がありますのでご注意ください。
- 4) 電流制限値はスイッチングを行わない条件でのコイル電流のピーク値となります。
実際の電流制限機能が動作し始めるコイル電流のピーク値は、IC 内部の伝搬遅延の影響により電氣的特性の電流制限値を超える場合があります。
- 5) オン時間が Minimum On Time (t_{ONMIN})以下となる入出力電位差が大きい条件、または軽負荷の条件では、PWM 制御でも間欠動作となり V_{OUT} リップル電圧が大きくなる場合や出力電圧が不安定になる場合があります。
- 6) 非連続モードから連続モードの切り替わり、及び 100% Duty への切り替わり付近で V_{OUT} リップル電圧が大きくなる場合があります。
- 7) PWM/PFM 自動切替品(XD9264)は、高温且つ無負荷時に連続パルスにより V_{OUT} リップル電圧が重畳する場合があります。
 V_{OUT} から $100\mu A$ 以上のアイドル電流を流すことで、重畳を抑えることが可能です。
出力電圧設定抵抗 R_{FB2} を $7.5k\Omega$ 以下に設定して頂く事も無負荷時 V_{OUT} リップル電圧重畳を抑える事が可能ですが、その際の出力電圧の設定は標準回路例に記載の出力電圧の設定をご参照ください。
- 8) EN/SS 端子を使用した外部ソフトスタートをご使用の場合、電源投入時などに EN/SS 端子が中間電圧にある状態で起動しますと、外部ソフトスタートが効かなくなり、突入電流の増加等が生じることがあります。
- 9) ラッチ時間は周囲のノイズによる影響や基板の状態によっては電流制限の状態から解除されることがあり、ラッチ時間が長くなる場合やラッチ動作に至らない場合があります。
- 10) 当社では製品の改善、信頼性の向上に努めております。しかしながら、万が一のためにフェールセーフとなる設計およびエージング処理など、装置やシステム上で十分な安全設計をお願いします。
- 11) IC を正常に動作させるため、バイパスコンデンサによる交流インピーダンスを十分に低減されて安定した入力電圧を V_{IN} 端子に供給してください。特に、入力電圧の振幅が $2V$ 以上 かつ $\pm 0.1V/\mu s$ 以上の変動が生じた場合、IC 内部の内部電源が変動することにより UVLO 機能が誤動作する可能性があります。その場合は、 Lx 端子の誤パルス出力を防止する保護状態となりスイッチングを停止します。その後、ソフトスタート機能が動作した後、通常動作に移行します。
入力電圧の瞬時的な変動が発生する場合は、入力容量を増やすなどして対策を行ってください。

■使用上の注意

12) 基板レイアウト上の注意

配線のインピーダンスが高い場合、出力電流によるノイズの回り込みや位相ずれを起こしやすくなり、動作が不安定になる事がありますので入力コンデンサ(C_{IN})、出力コンデンサ(C_L)はできる限り IC の近くに実装してください。

- (1) V_{IN} 電位の変動をできるだけ抑える為に V_{IN} 端子と GND 端子に最短でバイパスコンデンサ(C_{IN1})を接続してください。
また、ご使用する条件下で V_{IN} 電位の変動が想定される場合は、入力コンデンサ(C_{IN})を増やすなどの対策を行ってください。



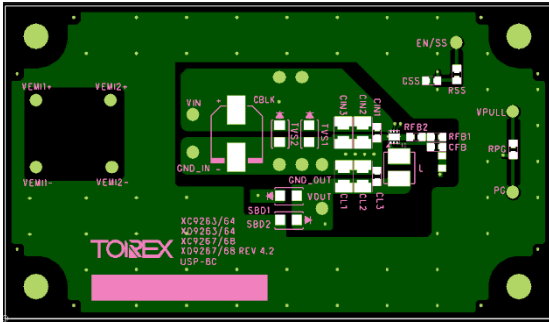
- (2) 各周辺部品はできる限り IC の近くに実装してください。
また、各周辺部品は、IC と同じ回路基板上に配置するようにしてください。(IC から見て裏面等には配置しないでください。)
- (3) 周辺部品は配線のインピーダンスを下げる為、太く短く配線してください。
- (4) スイッチング時の GND 電流による GND 電位の変動は IC の動作を不安定にする場合がありますので GND 配線を十分強化してください。
- (5) 本製品はドライバ FET 内蔵のため、発熱が生じますので必要に応じて放熱対策を行ってください。

■使用上の注意

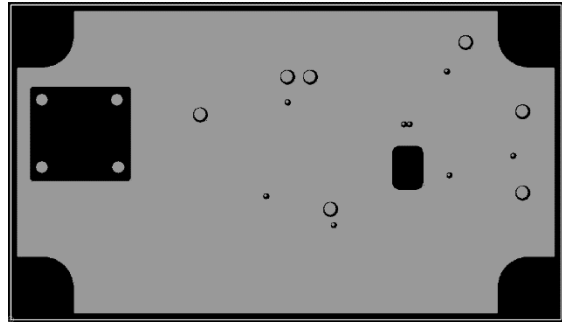
<参考パターンレイアウト>

●USP-6C

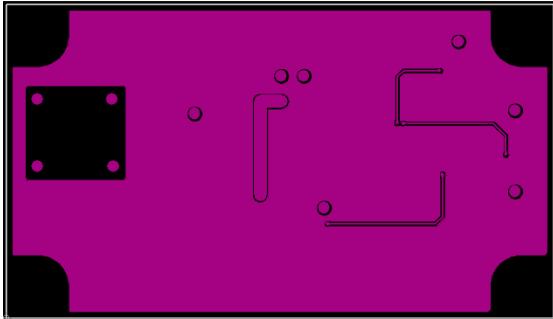
Layer 1



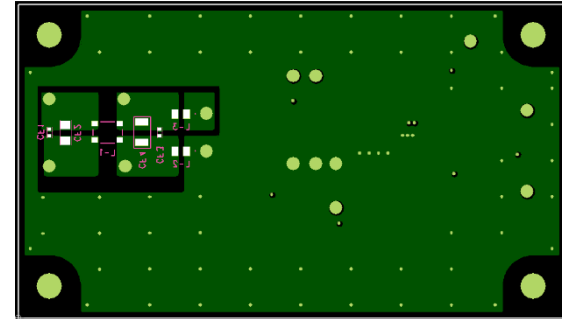
Layer 2



Layer 3

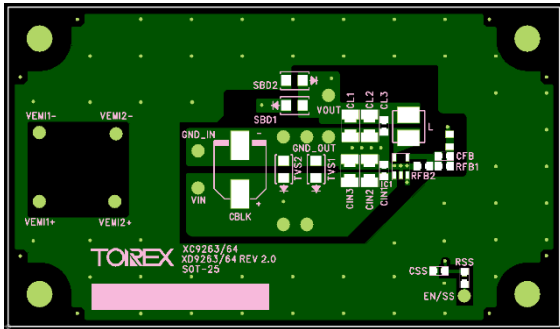


Layer 4

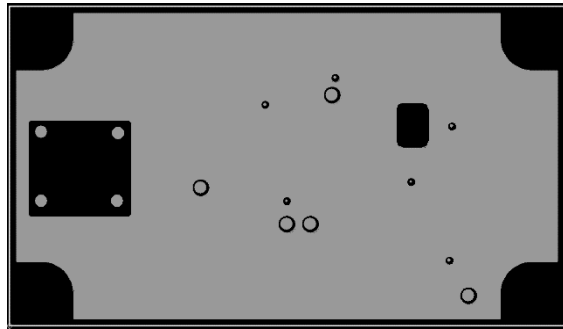


●SOT-25

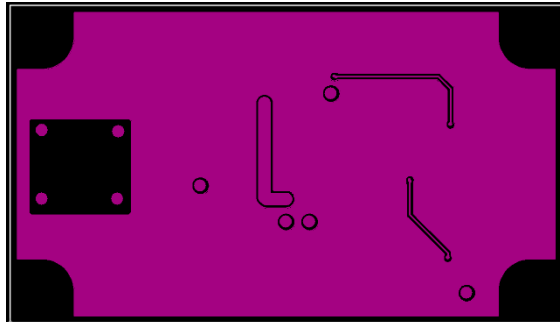
Layer 1



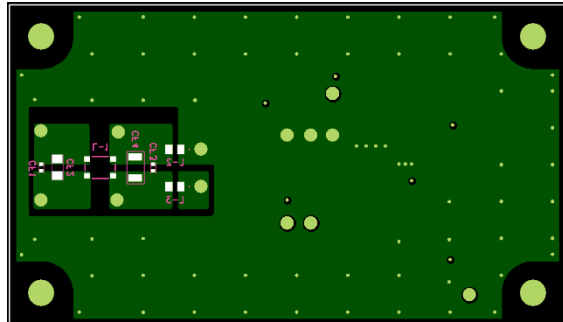
Layer 2



Layer 3



Layer 4

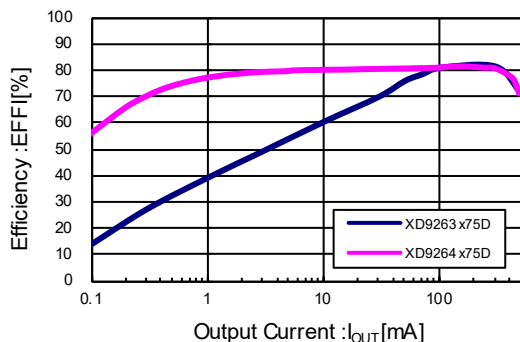


■ 特性例

(1) Efficiency vs. Output current

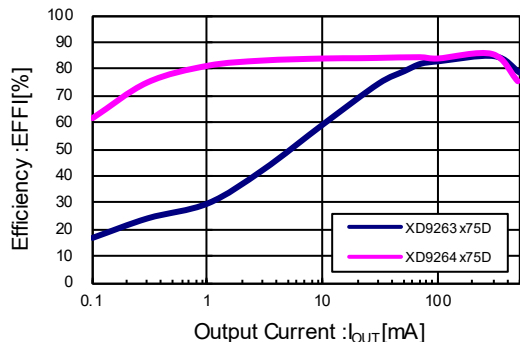
XD9263x75D/XD9264x75D
($V_N=12V$, $V_{OUT}=3.3V$)

$L=2.2\mu H$ (CLF6045NIT-2R2N-D), $C_N=2.2\mu F$ (CGA4J3X7R1E225K125AB),
 $C_L=10\mu F \times 2$ (CGA5L1X7R1C106K160AC)



XD9263x75D/XD9264x75D
($V_N=12V$, $V_{OUT}=5V$)

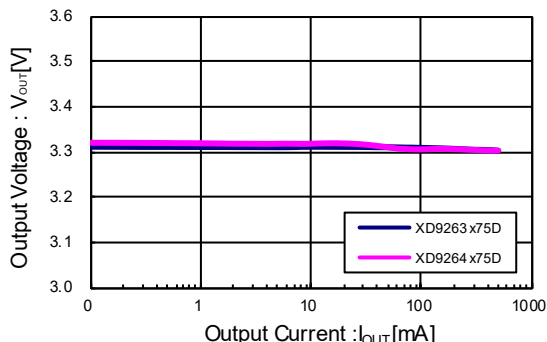
$L=2.2\mu H$ (CLF6045NIT-2R2N-D), $C_N=2.2\mu F$ (CGA4J3X7R1E225K125AB),
 $C_L=10\mu F \times 2$ (CGA5L1X7R1C106K160AC)



(2) Output Voltage vs. Output Current

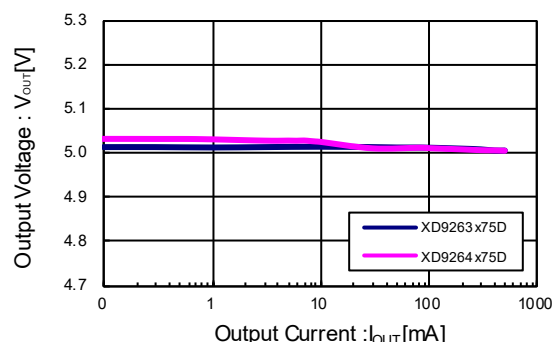
XD9263x75D/XD9264x75D
($V_N=12V$, $V_{OUT}=3.3V$)

$L=2.2\mu H$ (CLF6045NIT-2R2N-D), $C_N=2.2\mu F$ (CGA4J3X7R1E225K125AB),
 $C_L=10\mu F \times 2$ (CGA5L1X7R1C106K160AC)



XD9263x75D/XD9264x75D
($V_N=12V$, $V_{OUT}=5V$)

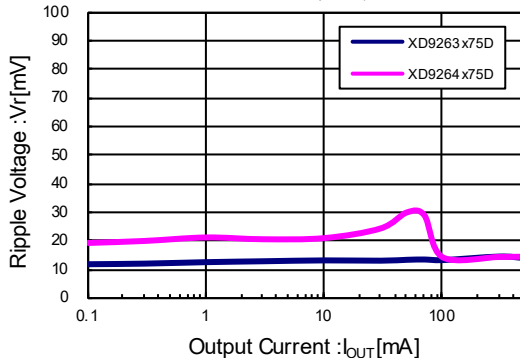
$L=2.2\mu H$ (CLF6045NIT-2R2N-D), $C_N=2.2\mu F$ (CGA4J3X7R1E225K125AB),
 $C_L=10\mu F \times 2$ (CGA5L1X7R1C106K160AC)



(3) Ripple Voltage vs. Output Current

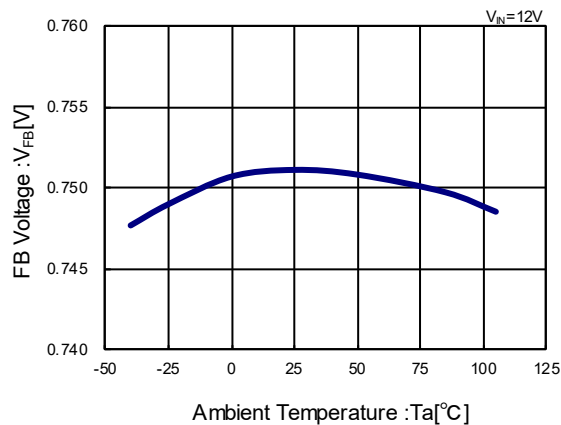
XD9263x75D/XD9264x75D
($V_N=12V$, $V_{OUT}=5V$)

$L=2.2\mu H$ (CLF6045NIT-2R2N-D), $C_N=2.2\mu F$ (CGA4J3X7R1E225K125AB),
 $C_L=10\mu F \times 2$ (CGA5L1X7R1C106K160AC)

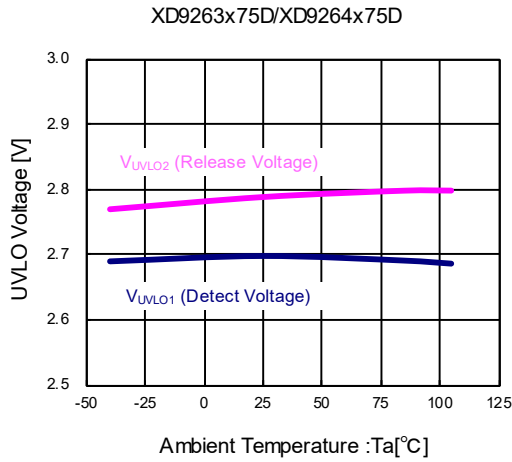


(4) FB Voltage vs. Ambient Temperature

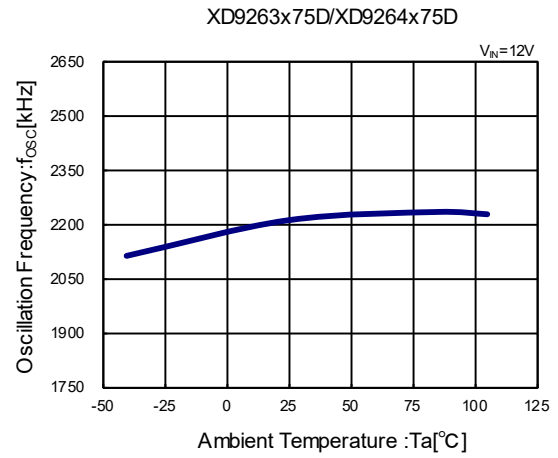
XD9263x75D/XD9264x75D



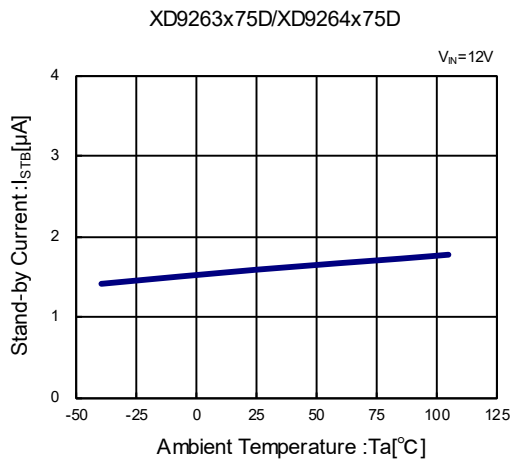
(5) UVLO Voltage vs. Ambient Temperature



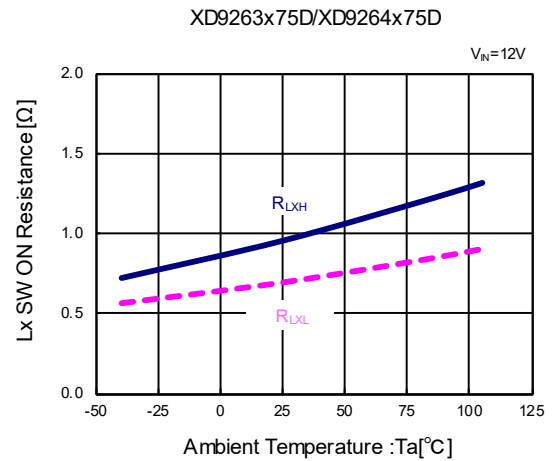
(6) Oscillation Frequency vs. Ambient Temperature



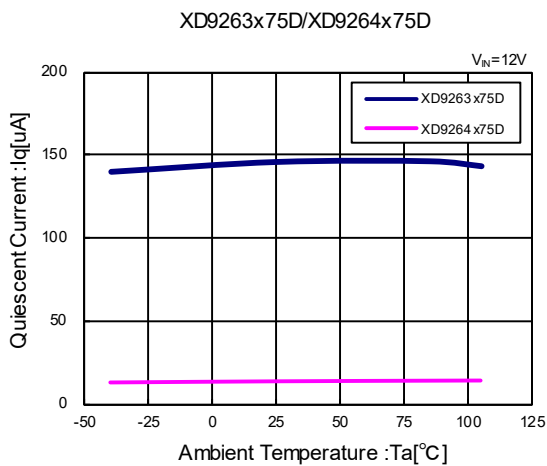
(7) Stand-by Current vs. Ambient Temperature



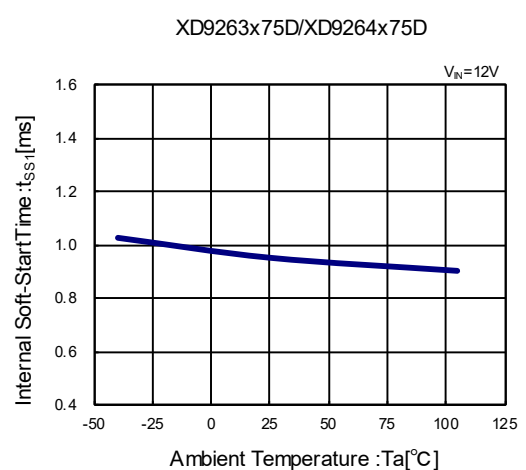
(8) Lx SW ON Resistance vs. Ambient Temperature



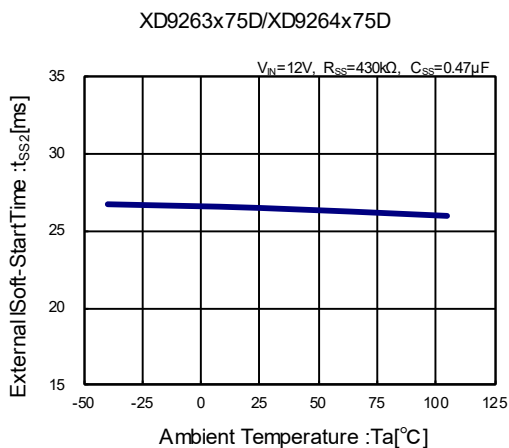
(9) Quiescent Current vs. Ambient Temperature



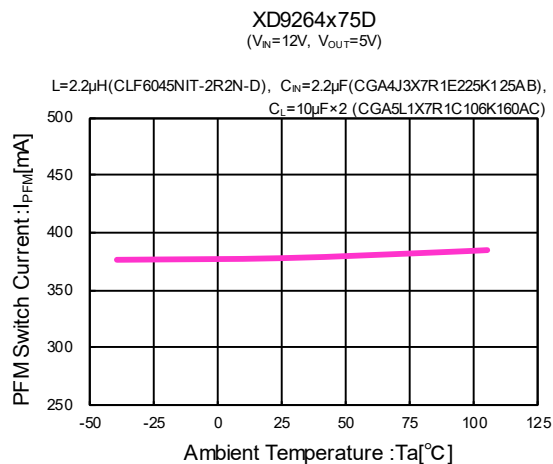
(10) Internal Soft-Start Time vs. Ambient Temperature



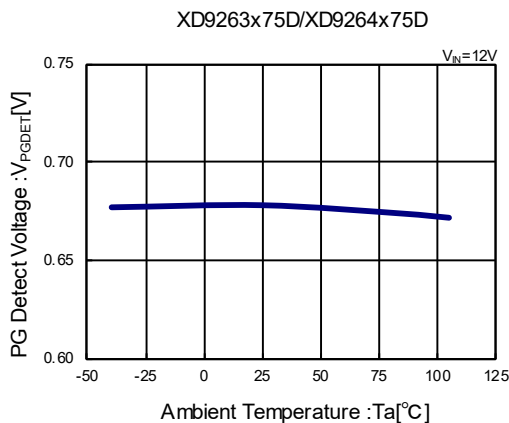
(11) External Soft-Start Time vs. Ambient Temperature



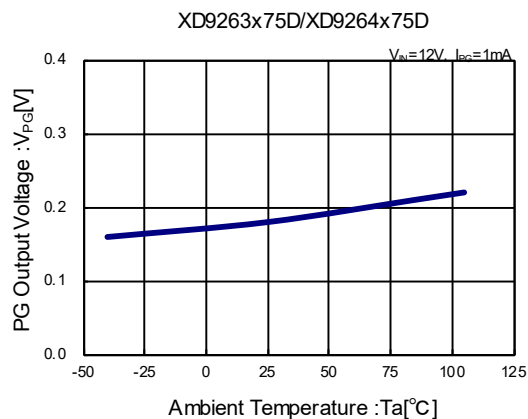
(12) PFM Switch Current vs. Ambient Temperature



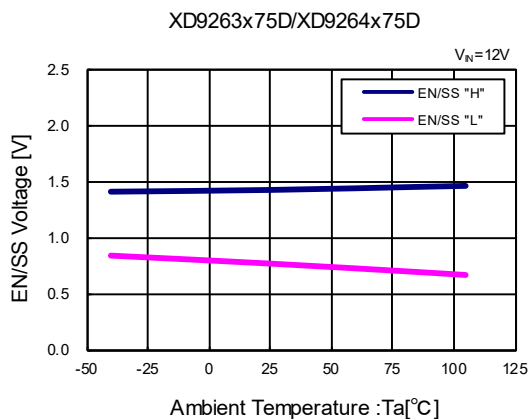
(13) PG Detect Voltage vs. Ambient Temperature



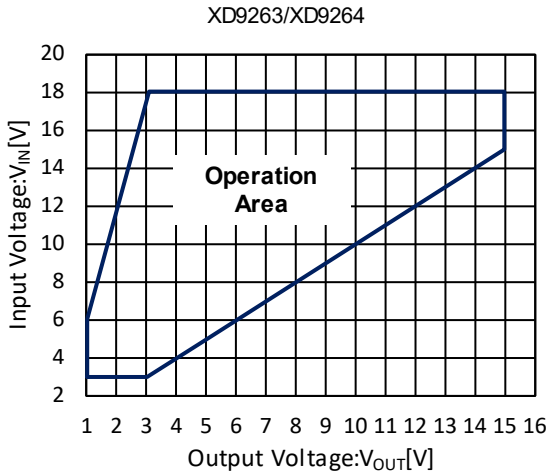
(14) PG Output Voltage vs. Ambient Temperature



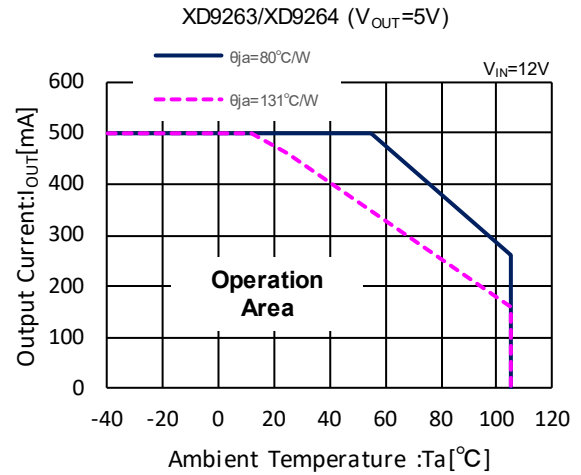
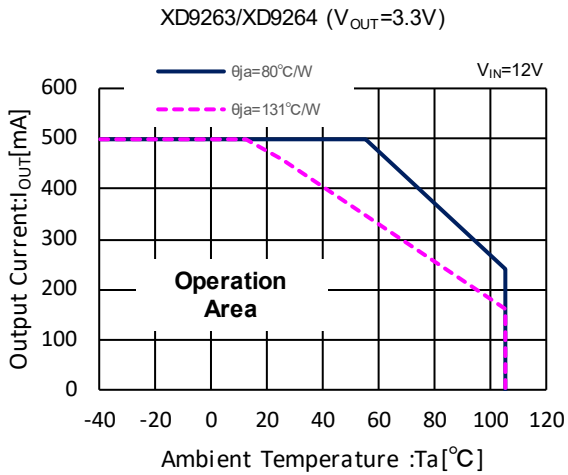
(15) EN/SS Voltage vs. Ambient Temperature



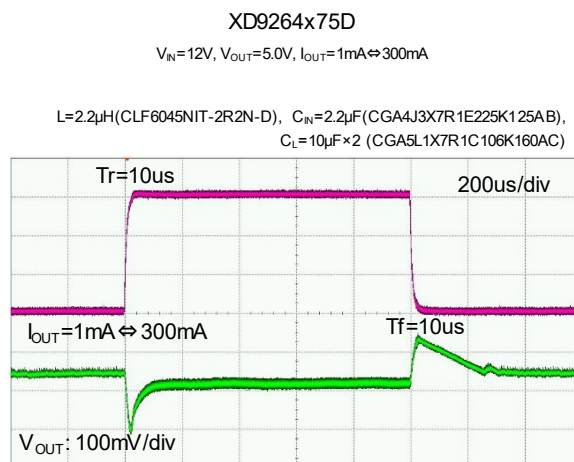
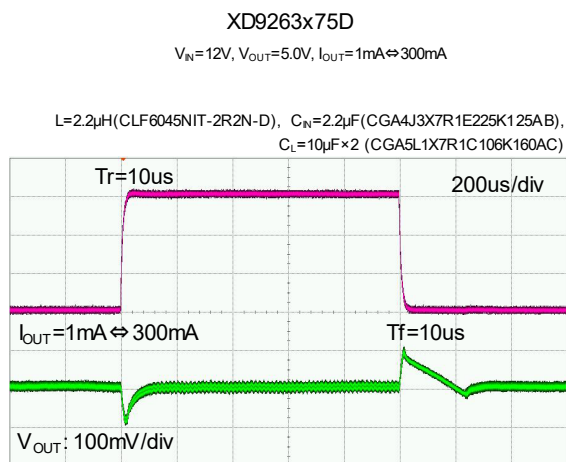
(16) V_{IN} - V_{OUT} Operation Area



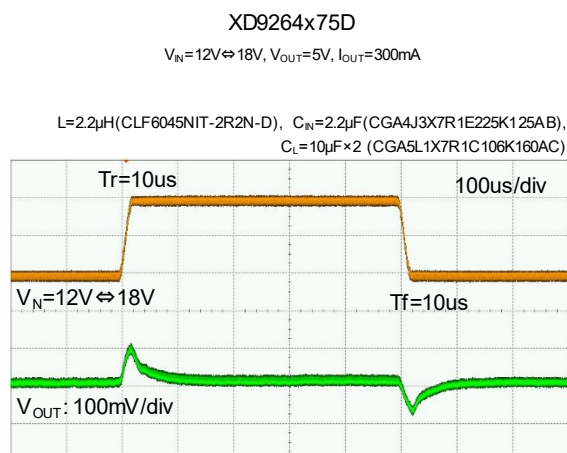
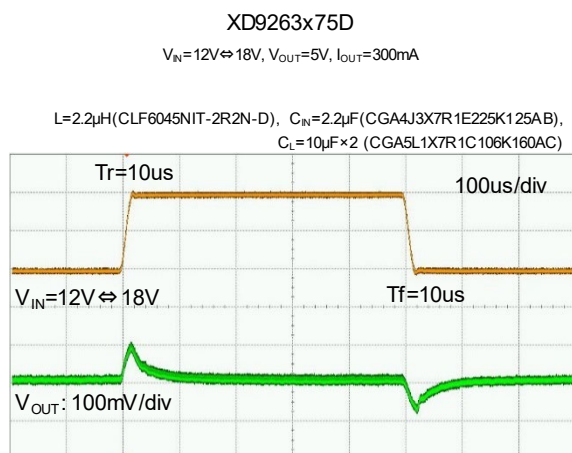
(17) Output Current Operation Area



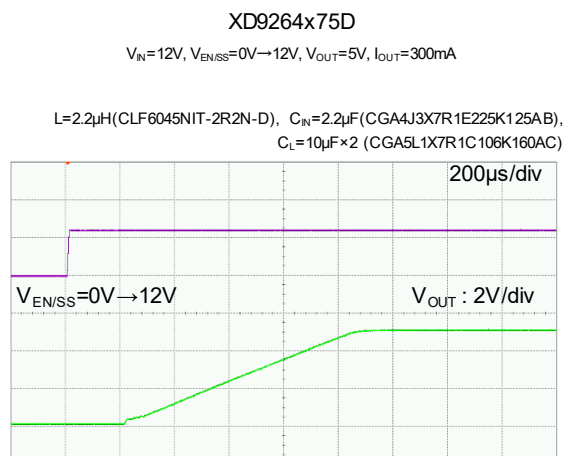
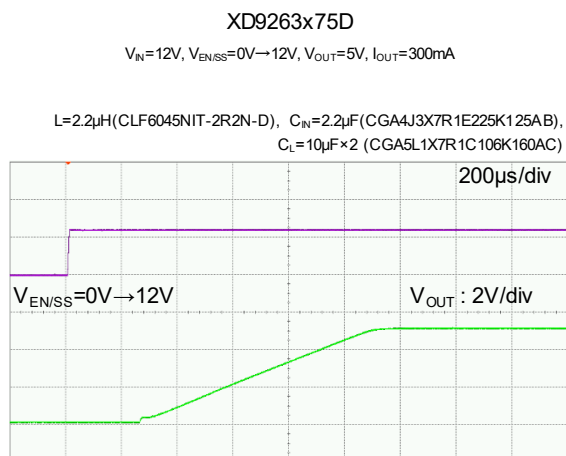
(18) Load Transient Response



(19) Input Transient Response



(20) EN/SS Rising Response



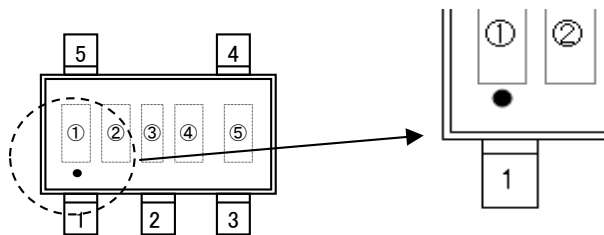
■ パッケージインフォメーション

最新のパッケージ情報については www.torex.co.jp/technical-support/packages/ をご覧ください。

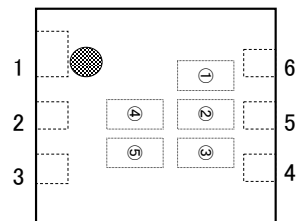
PACKAGE	OUTLIN / LAND PATTERN	THERMAL CHARACTERISTICS
SOT-25	SOT-25 PKG	SOT-25 Power Dissipation
USP-6C	USP-6C PKG	USP-6C Power Dissipation

■マーキング

SOT-25(Under dot仕様)



USP-6C



拡大

マーク①,②,③

製品シリーズ、製品タイプ、発振周波数を表す。

シンボル			製品番号	タイプ	発振周波数	品名表記例
①	②	③				
L	4	1	XD9263	C	D	XD9263C75D**-Q
L	4	2	XD9263	D	D	XD9263D75D**-Q
L	4	3	XD9264	C	D	XD9264C75D**-Q
L	4	4	XD9264	D	D	XD9264D75D**-Q

※SOT-25 は、Under dot 仕様とする。

マーク④,⑤ 製造ロットを表す。

01~09, 0A~0Z, 11~9Z, A1~A9, AA~AZ, B1~ZZ を繰り返す。

(但し、G, I, J, O, Q, W は除く。反転文字は使用しない。)

1. 本データシートに記載された内容(製品仕様、特性、データ等)は、改善のために予告なしに変更することがあります。製品のご使用にあたっては、その最新情報を当社または当社代理店へお問い合わせください。
2. 本データシートに記載された内容は、製品の代表的動作及び特性を説明するものでありそれらの使用に関連して発生した第三者の知的財産権の侵害などに関し当社は一切その責任を負いません。
又その使用に際して当社及び第三者の知的財産権の実施許諾を行うものではありません。
3. 本データシートに記載された製品或いは内容の情報を海外へ持ち出される際には、「外国為替及び外国貿易法」その他適用がある輸出関連法令を遵守し、必要な手続きを行ってください。
4. 本製品は、1)原子力制御機器、2)航空宇宙機器、3)医療機器、4)車両・その他輸送機器、5)各種安全装置及び燃焼制御装置等々のように、その機器が生命、身体、財産等へ重大な損害を及ぼす可能性があるような非常に高い信頼性を要求される用途に使用されることを意図しておりません。
ただし、弊社が車載用等の用途を指定する場合を除きます。また車載用等使用の場合、弊社の事前の書面による許可なくして使用しないでください。
5. 当社は製品の品質及び信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生します。故障のために生じる人身事故、財産への損害を防ぐためにも設計上のフェールセーフ、冗長設計及び延焼対策にご留意をお願いします。
6. 本データシートに記載された製品には耐放射線設計はなされていません。
7. 保証値を超えた使用、誤った使用、不適切な使用等に起因する損害については、当社では責任を負いかねますので、ご了承ください。
8. 本データシートに記載された内容を当社の事前の書面による承諾なしに転載、複製することは、固くお断りします。

トレックス・セミコンダクター株式会社